

(19)日本国特許庁 (JP)

(12) **公開特許公報 (A)**

(11)特許出願公開番号

特開2001-292374

(P2001-292374A)

(43)公開日 平成13年10月19日 (2001.10.19)

(51)Int.Cl.⁷

H 0 4 N 5/335
H 0 1 L 27/146

識別記号

F I

テ-マコ-ト(参考)

H 0 4 N 5/335
H 0 1 L 27/14

E 4 M 1 1 8
A 5 C 0 2 4

審査請求 未請求 請求項の数 7 O L (全 7 頁)

(21)出願番号 特願2001-44694(P2001-44694)

(22)出願日 平成13年2月21日 (2001.2.21)

(31)優先権主張番号 3 4 0 / 2 0 0 0

(32)優先日 平成12年2月22日 (2000.2.22)

(33)優先権主張国 スイス (CH)

(71)出願人 591077058

アスラブ・エス アー

ASULAB SOCIETA ANON
YME

スイス国 シイエイチ-2074・マリン・リ
ュ・デウ・ソオ・3

(72)発明者 シュテファン・ラックステルマン
スイス国・シイエイチ-8965・ペリコン・
ガルテンヴェク・9

(74)代理人 100064621
弁理士 山川 政樹

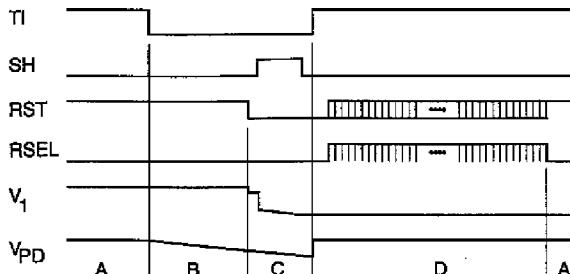
最終頁に続く

(54)【発明の名称】 CMOS画像センサを動作させる方法

(57)【要約】

【課題】 CMOS画像センサを正確に動作させる方法を提供すること。

【解決手段】 複数の行および列に配列された画素 (50) のマトリクスを含み、画素の各々が、照明に比例した電荷キャリアを蓄積する光センサ素子 (P D) および光センサにより蓄積された電荷キャリアを表すサンプリングされた信号を生成するために、所定の時刻に、光センサ素子 (P D) に接続できる格納手段 (C 1, 5 5) を含んでいる。格納手段に格納されたサンプリングされた信号が読み取られる時に、光センサにより生成された電荷キャリアが放出され、したがって、格納手段に格納されたサンプリングされた信号を乱すことがないような電圧に、光センサ素子が保持される。本発明によれば、従来の技術によって動作させられる時に、これらセンサに関して典型的に生ずる電荷キャリアの拡散問題が解決される。



【特許請求の範囲】

【請求項1】 複数の行および列に配置された画素(50)のマトリクスを含んでいるCMOS画像センサを動作させる方法であって、前記画素(50)の各々が照明に比例した電荷キャリアを蓄積する光センサ素子(PD)を含んでおり、さらに、前記光センサ(PD)により蓄積された前記電荷キャリアを表すサンプリングされた信号を生成するために、所定の時刻に前記光センサ素子(PD)に結合され、前記サンプリングされた信号を読み取るために格納する格納手段(C1、55)を含んでおり、

前記格納手段(C1、55)に格納された、前記サンプリングされた前記信号を読み取る時に、前記光センサ素子(PD)により生成された電荷キャリアが放出され、したがって、前記格納手段(C1)に格納された前記サンプリングされた信号を乱さないような電圧に、前記光センサ素子(PD)が保持されることを特徴とする、CMOS画像センサを動作させる方法。

【請求項2】 前記光センサ素子(PD)および前記格納手段(C1、55)が所定の初期化電圧で初期化される第1フェーズ(A)または初期化フェーズであって、前記光センサ素子(PD)と前記格納手段(C1、55)が分離されているフェーズと、

前記光センサ素子(PD)が前記初期化電圧から開放され、照明に比例した電荷キャリアを格納する第2フェーズ(B)または露光フェーズと、

前記格納手段が、第1ステージにおいて、前記初期化電圧から開放され、次に、第2ステージで前記光センサ素子(PD)に短時間の間接続され、したがって、前記サンプリングされた信号が生成され、前記格納手段(C1、55)に格納される第3フェーズ(C)またはサンプリングフェーズと、

第1ステージにおいて、前記光センサ素子(PD)が前記所定の初期化電圧で、再び初期化され、次に、第2ステージにおいて、前記格納手段(C1、55)上に格納された前記サンプリングされた信号が読み取られる第4フェーズ(D)または読み取りフェーズを含んでいることを特徴とする請求項1に記載の方法。

【請求項3】 各画素(50)が、前記光センサ素子を構成する逆極性フォトダイオード(PD)を含んでおり、および少なくとも、第1、第2および第3MOSトランジスタ(M1、M2、M3)を含み、前記フォトダイオード(PD)が、一方では第1電源電圧に、他方では前記第1および第2トランジスタ(M1、M2)のソースに接続され、前記第1および第3トランジスタ(M1、M3)のドレインが第2電源電圧に接続され、前記第2トランジスタ(M2)のドレインおよび前記第3トランジスタ(M3)が互いに接続され、前記格納手段(C1)のメモリ・ノード(55)を形成し、前記第1フェーズ(A)の間に、各画素の前記第1およ

び第3トランジスタ(M1、M3)のゲートにそれぞれ印加される第1初期化信号(T1)および第2初期化信号(RST)は、前記フォトダイオード(PD)と前記メモリ・ノード(55)を所定の初期化電圧で初期化するレベルとされており、各画素の前記第2トランジスタ(M2)のゲートに印加された制御信号(SH)は、前記フォトダイオード(PD)および前記メモリ・ノード(55)が分離されるレベルとされ、

前記第2フェーズ(B)の間に、前記第1初期化信号(T1)が、前記フォトダイオード(PD)が前記初期化電圧から開放され、照明に比例した電荷キャリアを蓄積するレベルにされ、

前記第3フェーズ(C)の間に、第1ステージにおいて、前記第2初期化信号(RST)が前記メモリ・ノード(55)が前記初期化電圧から開放されるレベルにされ、第2ステージにおいて、前記制御信号(SH)が前記フォトダイオードおよび前記メモリ・ノードが結合され、したがって、サンプリングされた信号が生成され、前記メモリ・ノード(55)上に格納されるレベルにされ、

前記第4フェーズ(D)の間に、前記第1初期化信号(T1)が、まず、前記フォトダイオード(PD)が前記所定の初期化電圧で再初期化され、前記メモリ・ノード(55)上に格納された、前記サンプリングされた信号が読み取られるレベルにされることを特徴とする、請求項2に記載の方法。

【請求項4】 さらに、各画素(50)が、第4および第5MOSトランジスタ(M4、M5)を含んでおり、前記第4トランジスタ(M4)のゲート、ドレインおよびソースが、それぞれ、前記メモリ・ノード(55)、前記第2電源電圧および前記第5トランジスタ(M5)のドレインに接続され、前記第5トランジスタ(M5)のソースが、行選択信号(RSEL)が前記第5トランジスタ(M5)のゲートに印加された時に、前記メモリ・ノード(55)上に存在するサンプリングされた信号を表す信号を供給する方法であって、

前記第4フェーズ(D)の間に、画素の各行が、1つの行の全ての画素のメモリ・ノード(55)上に存在するサンプリングされた信号が読み取られることを可能にするために、連続してアドレス指定されることを特徴とする、請求項3に記載の方法。

【請求項5】 前記第4フェーズの間の画素の行の各々の読み取りに続いて、画素の前記行の各第3トランジスタ(M3)に印加された前記第2初期化信号(RST)が、画素の前記行の各メモリ・ノード(55)が前記所定の初期化電圧で再び初期化されるようなレベルにされ、画素の行の各メモリ・ノード(55)上にその時に存在する信号が、初期化前と後で、各メモリ・ノード(55)上に存在する信号間の差を表す信号を生成するために使用されることを特徴とする、請求項4に記載の

方法。

【請求項6】 フォトダイオード(PD)が、nタイプ・ウェルで形成され、前記トランジスタ(M1とM3、M1とM5)がn-MOSトランジスタであることを特徴とする、請求項3ないし5のいずれか一項に記載の方法。

【請求項7】 前記格納手段(C1)が、金属層により、光から保護されたキャパシタから成ることを特徴とする、前記請求項のいずれか一項に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、一般に、集積化画像センサを動作させる方法に関する。より詳細には、本発明は、CMOS技術を用いた集積化画像センサを動作させる方法に関する。そのようなCMOS画像センサは、特に、集積化された写真およびビデオ・デバイスを製作することを目的とする。

【0002】

【従来の技術】 現在の集積化技術の結果として、集積化された形で、操作可能な画像収集デバイスを製作することが可能である。そのような集積化画像収集デバイスは、典型的にはマトリクスの形で組織化された光センサ素子のアセンブリから成る光センサ構成部と、画像を捕らえかつ光センサ構成部で収集されたデータを読み出す処理構成部と同じチップの上に組み込んでいる。

【0003】 伝統的に、集積化画像収集デバイスは電荷転送技術に依存している。こうした技術により、光で生成された電荷は、所定の方法で、集められ、転送される。最も普通に使用される電荷転送技術は、CCD(電荷結合デバイス)またはCID(電荷注入デバイス)装置を使用する。これらの装置を使用したデバイスは、これまで、多くの商業的用途を見出してきたが、それでも、重大な欠陥を持っている。特に、これら装置は、標準でない製造技術、特に、標準CMOS製造工程と両立性のない標準に依存している。したがって、こうした装置は、製造の費用および容易さの点で、画像センサの全体の集積化の妨げになる。

【0004】 前述の技術を補完するものとして、光センサ素子として通常フォトダイオードと呼ばれるp-n半導体接合を使用することに関して、ある概念が生み出された。そのような素子の本質的な利点は、標準的なCMOS製造工程との完全な両立性である。すなわち、光センサ素子としてフォトダイオードに依存する解決方法は、従来技術、特に、参照により本明細書に組み込まれている、Orli Yadid-Pecht, Ran GinosarおよびYosi Diamondの文書「A Random Access Photodiode Array for Intelligent Image Capture」、IEEE Transactions on Electron Device

s、Vol. 38、no. 8、August 199

1、pp 1772-1780から公知である。

【0005】 すなわち、この文書は、單一チップの形で、CMOS技術を用いた集積化画像センサを開示している。RAMメモリと同様な、センサのアーキテクチャが図1で説明される。一般的に、参照番号1で示される、このセンサは、M行およびN列に配列された画素のマトリクス10を含んでいる。このマトリクス10はセンサの表面の大部分を占める。マトリクス10の特定画素の読み取りは、対応する行および列をアドレス指定することにより実行される。この目的のために、センサは、さらに、共に制御回路40で制御される、マトリクス10に結合された行アドレス指定回路20およびマトリクス10の列に結合された出力バス30を含んでいる。

【0006】 マトリクス10の各画素は、図2Aで説明するような構造を持つ。一般的に、図2Aの参照番号50で示される、この画素は、光センサ素子PD、第1ステージA1、格納手段C1および第2ステージA2を含んでいる。光センサ素子PDは、積分期間の間に光で生成された電子を収集する逆極性フォトダイオードから成る。第1ステージA1は、フォトダイオードPDの両端子に存在する電圧の値を所定の時間でサンプリングするサンプルおよびホールド型回路である。このサンプリングされた値は、典型的には、キャパシタで作られた格納手段C1に格納される。キャパシタC1に格納された電圧値は、第1ステージA1の伝達関数に、そして、特に、フォトダイオードPDのキャパシタンス値と格納手段C1のキャパシタンス値の間の比に依存する。第2ステージA2は、格納手段C1に格納されたサンプリングされた電圧の読み取りを行う。図2Aで説明されるこの構造は、検出と読み取り過程の分離を可能にする。

【0007】 種々の実施形態が、従来技術の前述の文書において、想定および提示されている。特に、図2Bは、画素50が(n型)逆極性フォトダイオードPDおよび5個のn-MOS型トランジスタM1~M5を含んでいる、それら実施形態の1つを示す。キャパシタ(キャパシタC1)で作られ、たとえば、保護金属層で光から保護されているメモリ・ノード55をそれぞれの画素50が含んでいる。

【0008】 トランジスタM1は、各積分期間の前に、所定の電圧でフォトダイオードPDの初期化を確実に行う。トランジスタM2は、フォトダイオードPDにより蓄積された電荷のサンプリングを行い、そのサンプリングされた信号をメモリ・ノード55に格納する。さらに、このトランジスタM2は、フォトダイオードPDとメモリ・ノード55の絶縁または分離を確実に行う。トランジスタM3は、所定の電圧でメモリ・ノード55の初期化を確実に行う。トランジスタM4はソース・フォロワ・トランジスタである。また、トランジスタM5は行選択トランジスタで、読み取り過程中に、トランジスタ

M 4 の電圧を 1 つの列の全画素に共通な出力バスへ確実に転送させる。この構造に印加された信号は、高い電源電圧 V_{DD} および低電源電圧 V_{SS} を含んでおり、アース、第 1 初期化信号 $T 1$ 、サンプリング信号 $S H$ 、第 2 初期化信号 $R S T$ および行選択信号 $R S E L$ を形成する。

【0009】フォトダイオード PD の第 1 端子は、アース V_{SS} に接続され、他の端子は、ゲートが信号 $T 1$ および $S H$ によりそれぞれ制御された、トランジスタ $M 1$ および $M 2$ のソースに接続される。トランジスタ $M 1$ 、 $M 3$ および $M 4$ のドレインは高電源電圧 V_{DD} に接続されている。第 2 初期化信号 $R S T$ はトランジスタ $M 3$ のゲートに印加される。トランジスタ $M 3$ のソース、トランジスタ $M 2$ のドレインおよびトランジスタ $M 4$ のゲートは、画素メモリ・ノード $5 5$ に共に接続される。トランジスタ $M 4$ のソースは、行選択トランジスタ $M 5$ を介して、1 つの列の全画素に共通な出力バスに接続される。行選択信号 $R S E L$ はトランジスタ $M 5$ のゲートに印加される。

【0010】性能の点で、図 2B に説明されている画素 50 の構造に関して生じる 1 つの問題は、メモリ・ノード $5 5$ 上に格納された、サンプリングされた電荷が、読み取り過程の期間中に一定のままでない事実に存在する。事実、前述の文書で述べられているように、フォトダイオード PD のもとで光で生成された電荷は、ノードが光から保護されているのにかかわらず、基板内で拡散し、メモリ・ノード $5 5$ のキャパシタを放電させるのに十分に長い時間があるので、メモリ・ノード $5 5$ のキャパシタンスは比較的迅速に放電せられる。この電荷キャリア拡散問題は、センサの光感知領域上の光の強度が高くなればなるほど、ますます顕著になる。このように、この拡散現象が、画素キャパシタ上に格納されたサンプリングされた電圧の読み取りを可能にする利用可能時間を急激に制限することが理解されている。

【0011】

【発明が解決しようとする課題】すなわち、この問題はセンサの性能を制限する。特に、動的シーンのスナップショットを得るために、センサの全体的な露光を実行すること、すなわち、センサ・マトリクスの各画素を同時に露光するのが望ましい。実際、前述の電荷キャリア拡散現象により、画素マトリクスの第 1 行と最後の行を読みむ時刻の間で、電圧が、すでに、かなり変化しているため、格納され、サンプリングされた電圧の読み取りをできなくなるであろう。

【0012】本発明の一目的は、こうしたセンサに関して生ずる電荷キャリア拡散の問題に答える、前述のタイプの CMOS 画像センサを動作させる方法を提案することである。

【0013】本発明の他の目的は、時間が非常に短いために、露光時間が決定的な要素である適用に、このセンサを使用できるようにする、前述のタイプの CMOS 画

像センサを動作させる方法を提案することである。

【0014】さらに、本発明の他の目的は、機械的シャッタの使用を要しない、前述のタイプの CMOS 画像センサを動作させる方法を提案することである。

【0015】

【課題を解決するための手段】本発明は、複数の行および列に配置された画素のマトリクスを含んでいる CMOS 画像センサを動作させる方法である。本方法は、画素の各々が照明に比例した電荷キャリアを蓄積する光センサ素子を含んでおり、さらに、光センサにより蓄積された電荷キャリアを表すサンプリングされた信号を生成するために、所定の時刻に、光センサ素子に結合できる格納手段をも含んでおり、その格納手段は、サンプリングされた信号を読み取るために格納するように構成されており、その格納手段に格納されたサンプリングされた信号を読み取る時に、光センサ素子は、その素子により生成された電荷キャリアが取り出され、したがって、格納手段に格納されたサンプリングされた信号を乱さないような電圧に保持されることを特徴とする、CMOS 画像センサを動作させる方法である。

【0016】本発明による方法の変形は、従属する請求項の主題を形成する。

【0017】本発明による方法の一利点は、積分期間中にフォトダイオードにより蓄積された電荷がサンプリングされ、各画素の格納キャパシタに格納されると、フォトダイオード電圧が、直ちに次の収集に対する初期化電圧になるようにされるという事実に存在する。その結果、各光生成電荷は、捕らえられ、または、放出され、メモリ・ノードまで基板内を拡散する事がない。こうして、センサの各画素上でサンプリングされた信号は、一定を維持する。各画素の行ごとの読み取り過程は、余分に露光時間を要することなく、従来の方法で起こることができる。

【0018】本発明によれば、このように、画像センサの使用が、露光時間が非常に短い応用に対して可能になる。画像の露光および処理に必要な全期間もまた大きく低減される。これは、全体シャッタと呼ばれる。

【0019】本発明の他の利点は、露光および読み取り動作が全く独立に行われるという事実にある。このように、画像収集デバイスを適切に動作させるのに機械的シャッタがもはや必要でない程に、電子シャッタが効果的に動作させられる。したがって、それらのデバイスの製造コストもまた低減される。

【0020】本発明のこれら目的、特徴および利点は、他の目的、特徴および利点に加えて、制限を付けない例示により与えられた付随する図を参照してなされる、以下の詳細な説明により明確になるであろう。

【0021】

【発明の実施の形態】図 2B の画素 50 が動作させられる本発明による方法は、図 3 により説明される。図 3

は、図2Bの画素構造を動作させる、制御信号T1、SH、RSTおよびSELの生成の時間図を示す。フォトダイオードPDの電圧V_{PD}の生成および画素メモリ・ノード55での電圧V1の生成が、図示されている。

【0022】本発明による方法は、図2Bで説明された構造のような構造の動作に限定されず、図2Aで説明された構造、すなわち、積分期間中に光センサ素子により蓄積された電荷キャリアを表すサンプリングされた信号を生成および格納するために、光センサ素子と所定の時刻にその光センサ素子に接続される格納手段を含んでいた構造の概略形状をとる任意のタイプの構造に、同様に適用できる。しかし、図2Bの構造は、単純で、特に有利な構造を構成する。

【0023】トランジスタM1の第1初期化信号T1が、各積分期間前に、所定の初期化電圧で、フォトダイオードPDを初期化することが、まず第1に思い起こされるであろう。第1初期化信号T1はセンサ画素全体に印加され、すなわち、全センサ画素のフォトダイオードPDが、各積分期間の始めに、初期化電圧に、同時に初期化される。

【0024】同様に、サンプリング信号SHは、フォトダイオード電圧が画素メモリ・ノード55で同時にサンプリングおよび格納されるように、センサ画素全体に印加される。

【0025】第2初期化信号RSTは、全体または行単位のいずれかで印加される。以下で詳細に見られるように、この第2初期化信号は、所定の初期化電圧で各画素のメモリ・ノードを初期化するために、最初に全体に印加され、そして、続くフェーズで、読み取り過程中に行単位で印加される。

【0026】行選択信号SELは読み取り過程中に行単位で印加される。

【0027】本発明による方法は、以下に説明される、いくつかの連続フェーズに分割することができる。初期化フェーズと呼ばれる第1フェーズAの間、第1および第2初期化信号T1およびRSTが、所定の電圧で各画素のフォトダイオードPDとメモリ・ノード55を初期化するために、共に高い正電圧となる。

【0028】この第1フェーズAの間に、サンプリング信号SHは、トランジスタM2が非導通になり、したがって、フォトダイオードPDとメモリ・ノード55を分離するように、低レベルとなっている。同様に、行選択信号SELは、行選択トランジスタM5が非導通になるよう低レベルである。

【0029】フォトダイオードPDの電圧V_{PD}およびメモリ・ノード55のV1は、それぞれ、所定の初期化電圧におよそ等しいレベルとなる。

【0030】第2フェーズBの間に、第1初期化信号T1は、トランジスタM1を非導通にする低レベルに変化する。照明効果により、フォトダイオードPDは、図3

の電圧V_{PD}の曲線に示されるように、フォトダイオードPDの各々が受光する光の量に比例して放電を始める。高レベルから低レベルへの初期化信号T1の変化により、センサの光に対する露光が始まることが理解されるであろう。これが、積分時間の始まりである。

【0031】第2フェーズBの全期間中に、第2初期化信号RSTは、各画素のメモリ・ノード55の電圧が、所定の初期化電圧におよそ等しい、一定値に保持されるようなレベルに保持される。

【0032】第2フェーズBの終わりに、第2初期化信号RSTは、低レベルに変化し、したがって、メモリ・ノード55を開放する。第3フェーズCは、初期化信号RSTの高レベルから低レベルへの変化の直後に起こる。このフェーズの間に、サンプリング信号SHは、短時間で高レベルに変化し、フォトダイオードPDの両端の電圧値がサンプリング・トランジスタM2を介して、メモリ・ノード55にサンプリングおよび格納される。こうして、メモリ・ノード55の電圧V1は、図3に示されるように生成される。こうして、この第3フェーズCの終わりがセンサの露光時間の終わりを決定する。実際、このフェーズで、各画素のメモリ・ノード55は、センサの露光中にフォトダイオードPD下で生成された、電荷量を表す電圧値を格納する。

【0033】サンプリング信号が低レベルに変化する直後に、第1初期化信号T1は、各フォトダイオードが初期化電圧にかなり近い電圧に再び初期化されるレベルにされる。その結果、光の効果により、フォトダイオードに生成された電荷が、トランジスタM1を介して放出される。したがって、センサの各画素のメモリ・ノードに格納されたサンプリングされた電圧は、電荷キャリア拡散現象により乱されなくなり、このメモリに存在する電圧は一定に維持される。

【0034】したがって、第4フェーズDまたは読み取りフェーズの間に、センサの各画素行は、メモリ・ノードのキャパシタが、基板内で拡散するであろう光で生成された電荷の効果により放電させられる危険を冒さないで、連続して読み取られる。第4フェーズの間に、各行は、各行が各画素のサンプリングされた電圧を各列の出力バスを介して読み取られるように、連続してアドレス指定される。この第4フェーズの終わりで、第1初期化フェーズAにおいてと同じように信号が印加され、次の収集動作が始められる。

【0035】この読み取り動作は、相間2重サンプリングまたはCDSの名前で知られる、当業者にとっては公知の技術により実行されるのが好ましい。この公知の技術によって、各行を読み取る動作は、1つの行の画素のメモリ・ノードに存在する電圧を読み取る第1フェーズと、第1フェーズに続いて、行の画素のメモリ・ノードが再初期化される、第2読み取りフェーズとに分離される。サンプリングされた計測電圧とメモリ・ノードの初

期化電圧の間の差から成る信号が各画素に対して生成される。この技術により、固定パターン・ノイズ、すなわち、画素の間に存在する可能性のある、感度の僅かの差によってセンサの各画素に存在するノイズが除去されることが可能になる。図3が示すように、こうして行選択信号RSELおよび第2初期化信号RST双方が、第4フェーズDの間に、行単位で印加される。

【0036】このように、本発明により、全画素が同時に露光され、サンプリングされたデータが電荷キャリア拡散現象により損傷を受ける危険のない状態で、読み取りが行単位で実行されることが理解されるであろう。したがって、本発明により動作させられたCMOS画像センサは、機械的シャッタを使用したカメラのように動作する。こうして、サンプリング・トランジスタM2は、電子シャッタの機能を果たす。

【0037】電荷キャリア拡散現象に対する改善により、nウェル・タイプ・フォトダイオード、すなわち、nタイプ・ウェルで形成されたフォトダイオードに依存するのが好ましい。この構造は、通常形成されるフォトダイオード構造、たとえば、nタイプ拡散の単純領域よりも、電荷キャリアの拡散にとってより良い障壁を形成する利点を提供する。

【0038】首記の請求項により定義される、本発明の範囲から逸脱しないで、本発明に対する修正および／ま

たは改善が想定されてもよい。特に、本発明による方法を説明するために、例により使用された画素構造は、相補形p-MOS技術、または、必要なら追加のトランジスタを含んで、理論上、製作することができるであろう。たとえば、サンプリング・トランジスタM2が、主として、フォトダイオードとメモリ・ノードを分離する役割を持つこと、および、この機能を果たすために、他の構成を設けることができることが理解されるであろう。

【図面の簡単な説明】

【図1】すでに論じた、CMOS画像センサの従来技術のアーキテクチャの概略説明である。

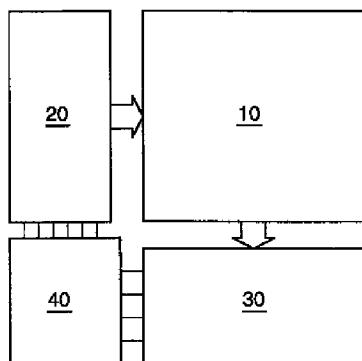
【図2A、図2B】すでに提示した、図1のCMOS画像センサの画素の公知の構造の、それぞれ、流れ図および詳細図である。

【図3】本発明による、図2Bの画素構造に適用された信号シーケンスを説明する時間図である。

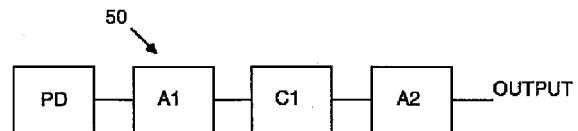
【符号の説明】

- 1 0 画素のマトリクス
- 2 0 行アドレス指定回路
- 3 0 出力バス
- 4 0 制御回路
- 5 0 画素
- 5 5 メモリ・ノード

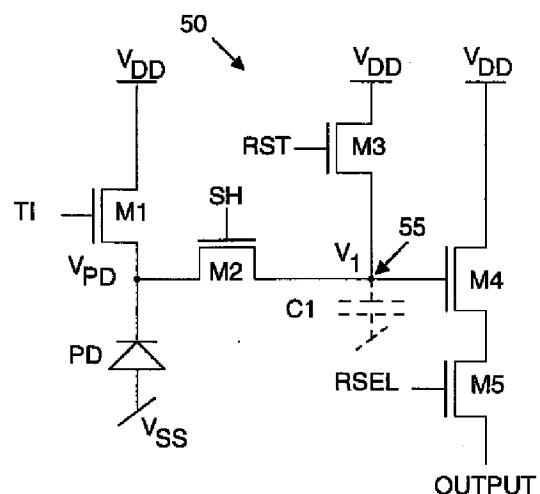
【図1】



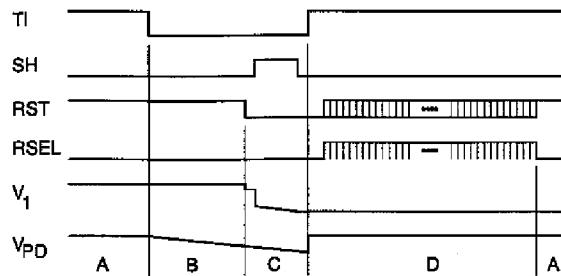
【図2A】



【図2B】



【図3】



【手続補正書】

【提出日】平成13年3月27日(2001.3.27)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】すでに論じた、CMOS画像センサの従来技術のアーキテクチャの概略説明である。

【図2A】すでに提示した、図1のCMOS画像センサの画素の公知の構造の、それぞれ、流れ図および詳細図である。

【図2B】すでに提示した、図1のCMOS画像センサの画素の公知の構造の、それぞれ、流れ図および詳細図である。

【図3】本発明による、図2Bの画素構造に適用された信号シーケンスを説明する時間図である。

【符号の説明】

- 10 画素のマトリクス
- 20 行アドレス指定回路
- 30 出力バス
- 40 制御回路
- 50 画素
- 55 メモリ・ノード

フロントページの続き

(72)発明者 スティーブ・タナー

スイス国・シイエイチ-1400・イバードン
一レーバイン・リュ ドゥ ガスパリン・

29

(72)発明者 ヨアヒム・グルップ

スイス国・シイエイチ-2073・エンゲ・シ
ュマン デ ブリスコー・33

Fターム(参考) 4M118 AA10 AB01 BA14 CA03 DB09
DD09 DD11 DD12 FA06 GB11
5C024 CX04 CX54 CY16 GX03 GY31
GY38 HX13 JX41